

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016154

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H01L 21/8247  
H01L 29/788  
H01L 29/792  
H01L 21/28  
H01L 21/76  
H01L 27/115  
H01L 29/43

(21)Application number : 2000-197801

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.2000

(72)Inventor : NARITA KAZUHITO  
SAKAGAMI SHIGETO  
SONODA MASAHISA  
KOBAYASHI HIDEYUKI  
TSUNODA HIROAKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

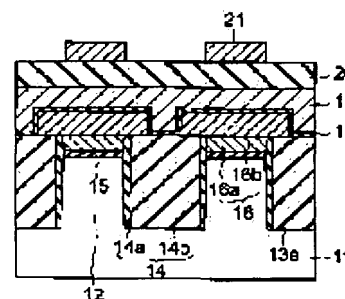
PROBLEM TO BE SOLVED: To prevent a short-circuit between gate electrodes in an STI technique, where gate insulating films and gate electrode material films are formed in order on a semiconductor substrate and after that, an element isolation insulating film is embedded in a groove provided on the main surface of the substrate.

SOLUTION: This semiconductor device is characterized

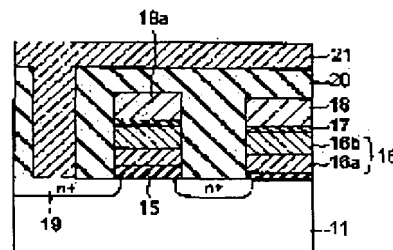
in that the device is provided with a semiconductor substrate 11 with a groove 13a provided on the main surface on one side of its main surfaces, an element isolation insulating film 14, which is embedded in the groove part 13a and is made its upper part to protrude from the groove part 13a, gate insulating films 15 provided on one side of the main surfaces of the

substrate 11 and transistors, which are respectively provided on the films 15 and are respectively provided with a gate electrode material film 16a constituting at least one part of

(a)



(b)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16154

(P2002-16154A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 21/8247

H 0 1 L 21/28

F 4 M 1 0 4

29/788

29/78

3 7 1

5 F 0 0 1

29/792

21/76

L

5 F 0 3 2

21/28

27/10

4 3 4

5 F 0 8 3

21/76

29/62

G

審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く

(21) 出願番号

特願2000-197801 (P2000-197801)

(22) 出願日

平成12年6月30日 (2000.6.30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 成田 一仁

三重県四日市市山之一色町800番地 株式

会社東芝四日市工場内

(72) 発明者 坂上 栄人

三重県四日市市山之一色町800番地 株式

会社東芝四日市工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

最終頁に続く

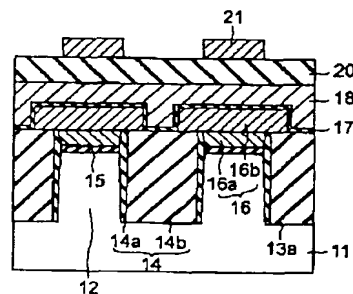
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

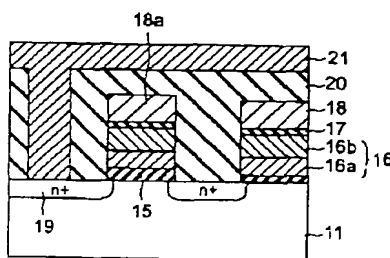
【課題】 ゲート絶縁膜及びゲート電極材料膜を順次形成した後、素子分離絶縁膜を埋め込み形成するSTI技術においてゲート電極同士の短絡を防止すること。

【解決手段】 本発明の半導体装置は、一方の主面に溝部13aが設けられた半導体基板11と、前記溝部13aを埋め込み且つ前記溝部13aから上部を突出させた素子分離絶縁膜14と、前記半導体基板11の一方の主面に設けられたゲート絶縁膜15及び前記ゲート絶縁膜15上に設けられ且つゲート電極16の少なくとも一部を構成するゲート電極材料膜16aを備えたトランジスタとを具備し、前記ゲート電極材料膜16aは前記素子分離絶縁膜14の突出部側面と直接接触し、前記ゲート電極材料膜16aは逆テーパ状の断面形状を有することを特徴とする。

(a)



(b)



## 【特許請求の範囲】

【請求項 1】 一方の主面に溝部が設けられた半導体基板と、

前記溝部を埋め込み且つ前記溝部から上部を突出させた素子分離絶縁膜と、

前記半導体基板の一方の主面上に設けられたゲート絶縁膜及び前記ゲート絶縁膜上に設けられ且つゲート電極の少なくとも一部を構成するゲート電極材料膜を備えたトランジスタとを具備し、

前記ゲート電極材料膜は前記素子分離絶縁膜の突出部側面と直接接し、前記ゲート電極材料膜は逆テーパー状の断面形状を有することを特徴とする半導体装置。

【請求項 2】 前記ゲート電極材料膜と前記素子分離絶縁膜の突出部側面との接触面は前記ゲート電極材料膜と前記ゲート絶縁膜との界面に対して  $100^\circ$  以下の角度をなすことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ゲート電極材料膜の前記素子分離絶縁膜に接する第 1 の面と前記半導体基板の前記溝部の側壁を構成する第 2 の面とは不連続であり且つ前記溝部の中心に対し前記第 1 の面は前記第 2 の面に比べてより外側に位置していることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記トランジスタは前記ゲート電極を浮遊ゲート電極として有し且つ前記浮遊ゲート電極上に順次積層された層間ゲート絶縁膜及び制御ゲート電極をさらに具備する不揮発性メモリトランジスタであることを特徴とする請求項 1 ～請求項 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 半導体基板の一方の主面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極材料膜を形成する工程と、

底面が前記半導体基板で構成され且つ側壁が前記半導体基板、前記ゲート絶縁膜、及び前記ゲート電極材料膜で構成され、少なくとも前記ゲート電極材料膜の位置で逆テーパー状の断面形状を有する第 1 の溝部を形成する工程と、

前記第 1 の溝部内に最大幅が前記第 1 の溝部の開口幅よりも狭い第 2 の溝部が形成されるように第 1 の素子分離絶縁膜を形成する工程と、

前記第 1 の溝部内に位置する前記第 1 の素子分離絶縁膜の一部を除去して前記第 1 の溝部内に矩形状或いは順テーパー状の断面形状を有する第 3 の溝部を形成する工程と、

前記第 3 の溝部が埋め込まれるように第 2 の素子分離絶縁膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 6】 半導体基板の一方の主面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極材料膜を形成する工程

と、

底面が前記ゲート絶縁膜で構成され且つ側壁が前記ゲート電極材料膜で構成された逆テーパー状の断面形状を有する第 1 の溝部を形成する工程と、

前記第 1 の溝部内に最大幅が前記第 1 の溝部の開口幅よりも狭い第 2 の溝部が形成されるように第 1 の素子分離絶縁膜を形成する工程と、

前記第 1 の素子分離絶縁膜の一部を除去し且つ前記第 2 の溝部の底部で前記ゲート絶縁膜及び前記半導体基板を除去することにより、前記第 1 の素子分離絶縁膜の断面形状を順テーパー状とするのと同時に底面が前記半導体基板で構成され且つ側壁が前記半導体基板及び前記第 1 の素子分離絶縁膜で構成された第 3 の溝部を形成する工程と、

前記第 3 の溝部が埋め込まれるように第 2 の素子分離絶縁膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 7】 前記ゲート電極材料の露出部を酸化することにより前記第 1 の素子分離絶縁膜を形成することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 堆積法により前記第 1 の素子分離絶縁膜を形成することを特徴とする請求項 5 または請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に、ゲート絶縁膜及びゲート電極材料膜を順次形成した後に素子分離絶縁膜を埋め込み形成する STI 技術を利用した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来から、NAND 型 EEPROM 等の高集積化メモリに用いられる素子分離技術として、STI (Shallow Trench Isolation) 技術が知られている。この技術は、半導体基板の素子分離領域に浅い溝を形成し、この溝に素子分離絶縁膜を埋め込み形成するものである。STI 技術の具体的な適用にあたっては、[a] 素子分離絶縁膜を埋め込み形成した後に、素子領域にゲート絶縁膜及びゲート電極を順次形成する方式と、[b] 基板全面にゲート絶縁膜及びゲート電極材料膜を順次形成し、これらゲート電極材料膜及びゲート絶縁膜並びに基板表面をエッチングして溝を形成し、この溝に素子分離絶縁膜を埋め込み形成する方式とがある。

【0003】図 13 及び図 14 は方式 [b] を利用した従来の NAND 型 EEPROM の製造プロセスの一例を概略的に示す図であり、図 13 (a) はその一工程を概略的に示す平面図であり、図 13 (b) は図 13 (a) に示す構造の A-A 線に沿った断面図である。また、図 14 (a) は図 13 (a)、(b) に示す工程の後工程

を概略的に示す平面図であり、図14(b)は図14(a)に示す構造のB-B線に沿った断面図であり、図14(c)は図14(a)に示す構造のC-C線に沿った断面図である。なお、図13及び図14において、参照番号2は素子領域を示し、参照番号4は素子分離領域を構成する素子分離絶縁膜を示している。

【0004】方式[b]を利用した従来のNAND型EPROMの製造プロセスでは、まず、シリコン基板1上に、ゲート絶縁膜(トンネル絶縁膜)5及び浮遊ゲート電極の一部へと形成されるゲート電極材料膜6a、及びCMP(Chemical Mechanical Polishing)処理のストップ膜として用いられるシリコン窒化膜7を順次形成する。次に、レジストパターンをマスクとして用いて、ゲート電極材料膜6a、ゲート絶縁膜5、及びシリコン基板1の表面をRIE法によりエッチングして溝3を形成する。その後、この溝3が埋め込まれるように素子分離絶縁膜4を形成し、CMP法により素子分離絶縁膜4の溝3の外側に位置する部分を除去する。このようにして、図13(a)、(b)に示す構造を得る。

【0005】次に、シリコン窒化膜7を除去し、素子分離絶縁膜4の溝3から突出した部分を除去する後退処理を行う。その後、ゲート電極材料膜6aとともに浮遊ゲート電極6として用いられるゲート電極材料膜6bを形成し、このゲート電極材料膜6bに対し素子分離絶縁膜4上に位置するスリットを設ける。続いて、ゲート電極材料膜6b上に層間ゲート絶縁膜8を形成し、さらに制御ゲート電極膜9を形成する。その後、制御ゲート電極9、層間ゲート絶縁膜8、ゲート電極材料膜6b、及びゲート電極材料膜6aを一括してパターンニングすることにより、図14(a)~(c)に示す構造を得る。

【0006】図14(a)~(c)に示す構造では、ゲート制御電極9の配列方向で隣り合う浮遊ゲート電極6同士は絶縁されている必要がある。しかしながら、上述した方法では、素子分離絶縁膜4の溝3から突出した部分は逆テーパ状の断面形状を有しているため、ゲート電極材料膜6aの一部は素子分離絶縁膜4の側壁の下方に位置することとなる。それゆえ、図14(c)に示すように、ゲート電極材料膜6aのパターンニングの際に、ゲート電極材料膜6aの素子分離絶縁膜4の側壁の下方に位置する部分はエッチングされずに残されてしまう。すなわち、隣り合うゲート制御電極9間にエッチング残り10を生ずる。このようなエッチング残り10は、ゲート制御電極9の配列方向で浮遊ゲート電極6同士を短絡させる。すなわち、方式[b]を利用した従来のNAND型EPROMの製造プロセスでは、浮遊ゲート短絡を生じやすいという問題があった。

【0007】

【発明が解決しようとする課題】本発明は、上記問題点を鑑みてなされたものであり、ゲート絶縁膜及びゲート

電極材料膜を順次形成した後に素子分離絶縁膜を埋め込み形成するSTI技術において、ゲート電極同士の短絡を防止することを目的とする。また、本発明は、製造過程でゲート電極同士の短絡を生じにくい半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明は、一方の主面に溝部が設けられた半導体基板と、前記溝部を埋め込み且つ前記溝部から上部を突出させた素子分離絶縁膜と、前記半導体基板の一方の主面に設けられたゲート絶縁膜及び前記ゲート絶縁膜上に設けられ且つゲート電極の少なくとも一部を構成するゲート電極材料膜を備えたトランジスタとを具備し、前記ゲート電極材料膜は前記素子分離絶縁膜の突出部側面と直接接し、前記ゲート電極材料膜は逆テーパ状の断面形状を有することを特徴とする半導体装置を提供する。

【0009】また、本発明は、半導体基板の一方の主面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極材料膜を形成する工程と、底面が前記半導体基板で構成され且つ側壁が前記半導体基板、前記ゲート絶縁膜、及び前記ゲート電極材料膜で構成され、少なくとも前記ゲート電極材料膜の位置で逆テーパ状の断面形状を有する第1の溝部を形成する工程と、前記第1の溝部内に最大幅が前記第1の溝部の開口幅よりも狭い第2の溝部が形成されるように第1の素子分離絶縁膜を形成する工程と、前記第1の溝部内に位置する前記第1の素子分離絶縁膜の一部を除去して前記第1の溝部内に矩形状或いは順テーパ状の断面形状を有する第3の溝部を形成する工程と、前記第3の溝部が埋め込まれるように第2の素子分離絶縁膜を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0010】さらに、本発明は、半導体基板の一方の主面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極材料膜を形成する工程と、底面が前記ゲート絶縁膜で構成され且つ側壁が前記ゲート電極材料膜で構成された逆テーパ状の断面形状を有する第1の溝部を形成する工程と、前記第1の溝部内に最大幅が前記第1の溝部の開口幅よりも狭い第2の溝部が形成されるように第1の素子分離絶縁膜を形成する工程と、前記第1の素子分離絶縁膜の一部を除去し且つ前記第2の溝部の底部で前記ゲート絶縁膜及び前記半導体基板を除去することにより、前記第1の素子分離絶縁膜の断面形状を順テーパ状とするのと同時に底面が前記半導体基板で構成され且つ側壁が前記半導体基板及び前記第1の素子分離絶縁膜で構成された第3の溝部を形成する工程と、前記第3の溝部が埋め込まれるように第2の素子分離絶縁膜を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0011】なお、用語「順テーパ状」は、溝部に関

して使用する場合はその開口部から底部に向けて幅が狭くなる状態を意味し、薄膜に関して使用する場合はその下地層から上方に向けて幅が狭くなる状態を意味する。また、用語「逆テーパー状」は、溝部に関して使用する場合はその開口部から底部に向けて幅が広がる状態を意味し、薄膜に関して使用する場合はその下地層から上方に向けて幅が広がる状態を意味する。

【0012】上述のように、本発明では、ゲート電極材料膜は逆テーパー状の断面形状を有するように形成される。ゲート電極材料膜がこのような断面形状を有する場合、ゲート電極材料膜のパターニングが素子分離絶縁膜により妨げられることがない。したがって、本発明によると、エッチング残りによるゲート短絡の発生を防止することができる。

【0013】本発明において、溝部を埋め込む素子分離絶縁膜は、上述のように2段階に分けて形成される。すなわち、まず、溝部の断面形状が順テーパー状となるように溝部内に第1の素子分離絶縁膜を形成し、その後、その溝部を第2の素子分離絶縁膜で埋め込む。このような方法によると、埋め込み不良に基づくゲート短絡の発生を防止することができる。

【0014】なお、ゲート電極材料膜が素子分離絶縁膜の突出部側面と直接接触した構造は、方式【b】を用いたときにのみ得られ、方式【a】を用いた場合には得ることができない。すなわち、方式【a】を用いて同様の構造を実現しようと試みた場合、ゲート電極材料膜と素子分離絶縁膜の突出部側面との間には何等かの層が必ず介在することとなる。

【0015】本発明の半導体装置において、ゲート電極材料膜と素子分離絶縁膜の突出部側面との接触面はゲート電極材料膜とゲート絶縁膜との界面に対して100°以下の角度をなすことが好ましい。

【0016】また、本発明の半導体装置において、ゲート電極材料膜の素子分離絶縁膜に接する第1の面と半導体基板の溝部の側壁を構成する第2の面とは連続していても良い。或いは、ゲート電極材料膜の素子分離絶縁膜に接する第1の面と半導体基板の溝部の側壁を構成する第2の面とは不連続であり且つ溝部の中心に対し第2の面に比べ第1の面はより外側に位置していてもよい。

【0017】さらに、本発明の半導体装置において、上記トランジスタは上記ゲート電極を浮遊ゲート電極として有し且つこの浮遊ゲート電極上に順次積層された層間ゲート絶縁膜及び制御ゲート電極をさらに備えた不揮発性メモリトランジスタであってもよい。

【0018】本発明の半導体装置の製造方法において、第1の素子分離絶縁膜は堆積法により形成することができる。また、ゲート電極材料の露出部を酸化することにより第1の素子分離絶縁膜を形成することもできる。

【0019】

【発明の実施の形態】以下、本発明について図面を参照

しながらより詳細に説明する。なお、各図において同様の部材には同一の参照符号を付し、重複する説明は省略する。図1は、本発明の第1の実施形態に係るNAND型EPROMのメモリセルアレイ部の構造を概略的に示す平面図である。また、図2(a)は図1に示す構造のD-D線に沿った断面図であり、図2(b)は図1に示す構造のE-E線に沿った断面図である。

【0020】図1及び図2(a)、(b)に示す構造において、p型シリコン基板11の一方の主面には、ST1技術により素子分離用の溝13aが形成されている。溝13aには、素子分離領域を構成する第1の素子分離絶縁膜14a及び第2の素子分離絶縁膜14bがそれぞれ埋め込み形成されている。第1の素子分離絶縁膜14a及び第2の素子分離絶縁膜14bにより囲まれた素子領域12はストライプ状に形成されており、この素子領域12上にゲート絶縁膜(トンネル絶縁膜)15及び浮遊ゲート電極16が順次形成されている。さらに、浮遊ゲート電極16上には、層間ゲート絶縁膜17及び制御ゲート電極18が順次形成されている。

【0021】なお、本実施形態において、浮遊ゲート電極16は、第1のゲート電極材料膜16aと第2のゲート電極材料膜16bとの積層構造を有している。それらゲート電極材料膜16a、16bのうち、第1のゲート電極材料膜16aの堆積工程は、素子分離絶縁膜14a、14bの埋め込み工程に先立って行われる。また、第1のゲート電極材料膜16aの側壁は、図2(a)に示すように逆テーパー状の断面形状を有している。これに関しては、後で詳述する。

【0022】図1及び図2(a)、(b)に示すように、制御ゲート電極18はワード線WLとして形成されている。また、選択ゲート電極18aは、ワード線WLに平行な選択ゲート線SGとして形成されている。これら制御ゲート電極18と選択ゲート電極18aとは、同一の薄膜から同時に形成されたものである。

【0023】浮遊ゲート電極16は、制御ゲート電極18及び選択ゲート電極18aに自己整合されており、NAND型セル内の各メモリトランジスタごとに分離されている。基板11の表面領域には、制御ゲート電極18及び選択ゲート電極18aをマスクとして用いたイオン注入により、NAND型セルの各トランジスタのソース・ドレイン拡散層19が形成されている。

【0024】制御ゲート電極18及び選択ゲート電極18aの上には層間絶縁膜20が形成されており、この層間絶縁膜20上にNANDセルの一端に接続されるビット線(BL)21がワード線WLと直交するように形成されている。

【0025】なお、図2(b)において、制御ゲート電極18と選択ゲート電極18aとはほぼ同様の構造を有しているが、選択ゲート電極18aの直下のゲート絶縁膜15はメモリトランジスタ部に比べてより厚く形成さ

れている。また、選択ゲート電極18aは、図2(b)に示す断面位置以外の所定の位置で、ワード線方向に分離されずに連続的なパターンとして形成された浮遊ゲート電極16のゲート電極材料膜16bと接続されている。

【0026】以上説明したNAND型メモリセルアレイは、例えば、以下の方法で製造することができる。図3～図5を参照しながら説明する。図3(a)～(c)、図4(d)～(f)、並びに図5(g)及び(h)は、それぞれ、本発明の第1の実施形態に係るNAND型メモリセルアレイの製造プロセスを概略的に示す断面図である。図1及び図2(a)、(b)に示すNAND型メモリセルアレイを製造するには、まず、図3(a)に示すように、シリコン基板11の一方の主面にゲート絶縁膜15を形成し、このゲート絶縁膜15上に浮遊ゲート電極16の一部として用いられる第1のゲート電極材料膜16aを堆積する。次に、第1のゲート電極材料膜16a上に、素子分離絶縁膜14a、14bをCMP処理する際にストップ膜として使用するシリコン窒化膜31を堆積する。なお、本実施形態において、ゲート絶縁膜は熱酸化により形成し、ゲート電極材料膜16aにはアモルファスシリコン膜または多結晶シリコン膜を用いる。

【0027】シリコン窒化膜31上には、リソグラフィ技術を用いて、素子分離領域に開口部を有するレジストパターン32を形成する。このレジストパターン32をマスクとして用いて、異方性ドライエッチングであるRIEにより、図3(b)に示すように、シリコン窒化膜31、ゲート電極材料膜16a、及びゲート絶縁膜15をパターンニングする。このとき、シリコン窒化膜31及びゲート絶縁膜15は80°～90°の矩形状或いは順テーパー状の断面形状を有するように加工する。また、ゲート電極材料膜16aは、逆テーパー状の断面形状を有するように及びその露出面がゲート電極材料膜16aとゲート絶縁膜15との界面に対して100°以下の角度をなすように形成する。

【0028】さらに、シリコン基板11の露出面をエッチングして、素子分離用の浅い溝13aを形成する。以上のようにしてストライプパターンの素子領域12が形成される。なお、ゲート電極材料膜16aも素子形成領域12と同一のパターンに加工されるが、この段階では、NANDセル内のメモリトランジスタごとの分離はなされていない。

【0029】レジストパターン31を除去した後、図3(c)に示すように、CVD法により素子分離絶縁膜14aとしてシリコン酸化膜を形成する。このシリコン酸化膜14aの厚さは、最大幅が溝13aのゲート電極材料膜16aの開口幅よりも狭い溝13bが溝13a内に形成されるように制御する。その後、図4(d)に示すように、RIE法により全面エッチバックを行い、溝1

3a内に順テーパー状の断面形状を有する溝13cが形成されるように、シリコン酸化膜14aを部分的に除去する。

【0030】次に、CVD法により素子分離膜14bとしてシリコン酸化膜を堆積する。さらに、シリコン窒化膜31をストップ膜として用いたCMP処理によりシリコン酸化膜14bの溝13cの外側に位置する部分を除去する。以上のようにして、図4(e)に示すように、素子分離絶縁膜14bを形成した面を平坦化するのとともに、シリコン窒化膜31を露出させる。

【0031】その後、図4(f)に示すように、等方性エッチングにより素子分離絶縁膜14a、14bの表面位置を下げる。この後退処理は、ゲート絶縁膜15が露出しないように行う。なお、ここでは、ウェットエッチングにより、素子分離絶縁膜14a、14bの表面位置がゲート電極材料膜16aの上面の位置と一致するように後退処理を行っている。

【0032】次に、図5(g)に示すように、シリコン窒化膜をエッチングにより除去してゲート電極材料膜16aの上面を露出させ、さらに、第2のゲート電極材料膜16bを堆積する。

【0033】その後、図5(h)に示すように、第2のゲート電極材料膜16aをワード線方向に分離するために、第2のゲート電極材料膜16aに対し素子分離領域の位置に分離用のスリット33を形成する。続いて、ONO膜(シリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜を順次積層した構造の三層膜)等の層間ゲート絶縁膜17及び制御ゲート電極18を順次形成する。制御ゲート電極18は、図1及び図2(a)、(b)に示すように、ストライプ状の素子領域12に対して直交する方向に連続したワード線へとパターンニングされる。この制御ゲート電極18のパターンニングと同時に、その下地層である第2のゲート電極材料膜16b及び第1のゲート電極材料膜16aもパターンニングされて、各メモリトランジスタの浮遊ゲート電極16がワード線と自己整合された形で得られる。

【0034】ここで、上述したようにゲート電極材料膜16aは逆テーパー状の断面形状を有するように形成されている。そのため、ゲート電極材料膜16aのパターンニングの際に、そのエッチングが素子分離絶縁膜14a、14bにより妨げられることはない。そのため、エッチング残りが生ずることはなく、したがって、浮遊ゲート短絡の発生を防止することができる。

【0035】その後は、通常の工程にしたがって、図2(a)、(b)に示すように層間絶縁膜20を堆積し、その上にビット線21を形成する。以上のようにして、図1及び図2(a)、(b)に示すNAND型メモリセルアレイを得る。

【0036】以上説明したように、本実施形態では、ゲート電極材料膜16aを逆テーパー状の断面形状を有す

るように形成することによりエッチング残りの発生が防止されている。このような効果は、溝部13aを埋め込む素子分離絶縁膜を2段階に分けて形成しなくとも得ることができるが、1回で形成した場合には以下に説明する問題を生ずることがある。図6(a)及び(b)は、それぞれ、本発明の第1の実施形態に係るNAND型メモリセルアレイの製造プロセスの一部を省略したプロセスを概略的に示す断面図である。図6(a)は、図3(b)に示した工程の後に、溝13aが満たされるように素子分離絶縁膜14を形成することにより得られる構造を示している。このように、ゲート電極材料膜16aを逆テーパ状の断面形状を有するように形成した場合、素子分離絶縁膜14中に埋め込み不良部35aが生じ易い。

【0037】この埋め込み不良部35aを有する構造に対して、CMP法による素子分離絶縁膜14の平坦化、シリコン窒化膜31の除去、及び素子分離絶縁膜14の溝13aから突出した部分を除去する後退処理を順次行った場合、埋め込み不良部35aはそれらいずれかの工程で露出するために拡大され、その結果、図6(b)に示す埋め込み不良部35bが形成される。

【0038】このような埋め込み不良部35bを有する構造に対して、図5(g)に関して説明した工程を実施した場合、埋め込み不良部35bはゲート電極材料膜16bで埋め込まれる。そのため、ゲート制御電極18の長手方向に隣り合うゲート電極16同士が短絡されるという問題を生ずることがある。したがって、本実施形態においては、溝部13aを埋め込む素子分離絶縁膜は、1回で形成するのではなく、2段階に分けて形成することが好ましい。

【0039】次に、本発明の第2の実施形態について説明する。第2の実施形態では、本発明をフラッシュメモリに適用する。

【0040】図7(a)～(c)、図8(d)及び(e)、並びに図9(f)～(h)は、本発明の第2の実施形態に係るフラッシュメモリの製造プロセスを概略的に示しており、(a)、(b)、(d)及び(e)は製造段階の断面図、(c)は(b)の一部を拡大して示す部分断面図、(f)は完成した構造を示す平面図、(g)は(f)に示す構造のF-F線に沿った断面図、(h)は(f)に示す構造のG-G線に沿った断面図である。

【0041】図7(a)に示すように、800℃のO<sub>2</sub>雰囲気下で加熱することにより、シリコン基板11の一方の主面にゲート絶縁膜として用いられる厚さ10nmのシリコン酸化膜15を形成する。次に、シリコン酸化膜15上に、減圧CVD法により、厚さ60nmの多結晶シリコン膜16a、厚さ100nmのシリコン窒化膜31、及び厚さ150nmのシリコン酸化膜36を順次堆積する。

【0042】シリコン酸化膜36上には、リソグラフィ技術を用いて、素子分離領域に開口部を有するレジストパターン(図示せず)を形成する。次に、このレジストパターンをマスクとして用い、RIE法により、シリコン酸化膜36及びシリコン窒化膜31をパターニングする。さらに、シリコン基板11をO<sub>2</sub>プラズマに晒してレジストパターンを除去し、シリコン酸化膜36をマスクとして用いて多結晶シリコン膜16aを逆テーパ状の断面形状を有するように加工する。以上のようにして、図7(a)に示す溝43aを形成する。

【0043】次に、図7(b)に示すように、シリコン基板11を1000℃のO<sub>2</sub>雰囲気中で加熱して多結晶シリコン膜16aの側壁を酸化することにより、シリコン酸化膜44aを形成する。このとき、シリコン酸化膜44aの膜厚は、開口部に比べて底部において幅がより狭い溝43bが形成されるように制御する。すなわち、図7(c)に示すように、シリコン酸化膜44aの膜厚T、シリコン窒化膜31の側壁から多結晶シリコン膜16aの側壁上部までの距離a、及び多結晶シリコン膜16aの側壁上部からその側壁下部までの水平距離cが下記不等式に示す関係を満たすように調節する。

【0044】 $T > a + c$

$T > 2a$

次に、図8(d)に示すように、シリコン酸化膜36をマスクとして用いて、シリコン酸化膜44aのシリコン窒化膜31からはみ出した部分、シリコン酸化膜15、及びシリコン基板11の表面を加工することにより溝43cを形成する。これにより、シリコン酸化膜44aの断面形状は順テーパ状となる。その後、シリコン基板11を1000℃のO<sub>2</sub>雰囲気下で加熱して、溝43cの内壁に厚さ6nmのシリコン酸化膜44bを形成する。さらに、HDP(High Density Plasma)法により、溝43cを埋め込むようにシリコン酸化膜44cを堆積する。

【0045】次いで、CMP法によりシリコン酸化膜44cの表面を平坦化し、900℃の窒素雰囲気中で加熱する。次に、シリコン基板11をHF緩衝溶液中に10秒間浸漬させて部分的に残っているシリコン窒化膜36を除去するとともにシリコン酸化膜44cの上面の位置を下げ、さらに、150℃のリン酸処理によりシリコン窒化膜31を除去する。次に、希HF溶液でシリコン酸化膜44cを20nmだけエッチングする。

【0046】その後、減圧CVD法により、リンが添加された多結晶シリコン膜16bを堆積する。この多結晶シリコン膜16bをレジストパターンをマスクとして用い、RIE法でパターニングすることにより、図8(e)に示す構造を得る。

【0047】次に、減圧CVD法により、ONO膜(厚さ50nmのシリコン酸化膜、厚さ50nmのシリコン窒化膜、及び厚さ50nmのシリコン酸化膜を積層して

なる三層膜) 17、リンが添加された厚さ100nmの多結晶シリコン膜18b、厚さ100nmのWSi膜18c、及び厚さ200nmのシリコン酸化膜46を順次堆積する。次いで、フォトリソグラフィ法によりレジストパターンを形成し、このレジストパターンをマスクとして用いてシリコン酸化膜46をRIE法によりパターンニングする。

【0048】続いて、このシリコン酸化膜46をマスクとして用いて、WSi膜18c、多結晶シリコン膜18b、ONO膜17、多結晶シリコン膜16b、及び多結晶シリコン膜16aをRIE法によりパターンニングする。ここで、上述したようにシリコン酸化膜44aは順テーパー状の断面形状を有するように形成されている。そのため、多結晶シリコン膜16aのパターンニングの際に、そのエッチングがシリコン酸化膜44aにより妨げられることはない。そのため、エッチング残りが生ずることはなく、したがって、浮遊ゲート短絡の発生を防止することができる。以上のようにして、図9(f)～(h)に示す構造を得る。

【0049】なお、このような方法により得られる構造において、シリコン酸化膜44a～44cは素子分離絶縁膜を構成している。また、シリコン基板11の溝43cの側壁を構成する面と多結晶シリコン膜16aの素子分離絶縁膜と接する面とは連続しておらず、溝43cの中心に対し前者に比べ後者はより外側に位置している。

【0050】以上説明したように、本実施形態では、シリコン酸化膜44aを順テーパー状の断面形状を有するように形成することによりエッチング残りの発生が防止されている。このような順テーパー状の断面形状を有するシリコン酸化膜44aを形成した場合、以下に説明する利益をさらに得ることができる。図10を参照しながら説明する。

【0051】図10(a)及び(b)は、それぞれ、本発明の第2の実施形態に係るフラッシュメモリの製造プロセスの一部を変更することにより生じ得る欠陥を概略的に示す断面図である。図10(a)、(b)では、シリコン酸化膜44aの断面形状を順テーパー状とせずに溝部に向けて傾斜した形状としている。シリコン酸化膜44aの断面形状をこのような形状とすると、HDP法でシリコン酸化膜44cを形成する場合には、溝43c内のシリコン酸化膜44aの下部にシリコン酸化膜44cで満たされない空隙部が残留することがある。一方、LP-TEOS/O<sub>2</sub>法でシリコン酸化膜44cを形成する場合には、図6に関して説明したのと同様に、溝43cの中央部にシリコン酸化膜44cで満たされない空隙部が残留することがある。その結果、シリコン酸化膜44cの上面の位置を下げるためのエッチングの際に空隙部が拡大し、この拡大した空隙部は多結晶シリコン膜16bで埋め込まれることとなる。したがって、前者の場合には図10(a)に示すような不良が生じ、後者の

場合には図10(b)に示すような不良を生ずる。

【0052】それに対し、本実施形態では、シリコン酸化膜44aの断面形状を順テーパー状としているため、上述した空隙部が形成されることはない。したがって、本実施形態によると、図10(a)、(b)に示す不良を回避することができる。

【0053】なお、上述した第2の実施形態において、温度や膜厚等は適宜変更可能である。例えば、シリコン酸化膜44aを形成するのに1000℃のO<sub>2</sub>雰囲気を利用したが、温度は何℃であっても良い。また、雰囲気も酸化雰囲気であれば、NO<sub>x</sub>雰囲気やN<sub>2</sub>O雰囲気等であってもよい。

【0054】次に、本発明の第3の実施形態について説明する。図11(a)～(c)は、それぞれ、本発明の第3の実施形態に係るフラッシュメモリの製造プロセスを概略的に示す断面図である。第3の実施形態は、第2の実施形態とはほぼ同様であるが、シリコン酸化膜44aの形成方法が異なっている。

【0055】すなわち、まず、第2の実施形態において説明したのと同様の方法により、図7(a)に示す構造を得る。次に、図11(a)に示すように、700℃の減圧TEOS/O<sub>2</sub>法(或いは、400℃のプラズマCVD法)により、厚さ20nmのシリコン酸化膜44aを堆積する。続いて、図11(b)に示すように、全面にRIEを行って、溝43aの外側に位置するシリコン酸化膜44aを除去し、溝43a内のシリコン酸化膜44aのみを選択的に残置させる。さらに、図8(d)に関して説明した工程を実施することにより、図11

(c)に示す構造を得る。その後、第2の実施形態において説明したのと同様の工程を順次実施することにより、図9(f)～(h)に示したのと類似の構造が得られる。

【0056】本実施形態でも、多結晶シリコン膜16aのパターンニングの際に、そのエッチングがシリコン酸化膜44aにより妨げられることはない。そのため、エッチング残りが生ずることはなく、したがって、浮遊ゲート短絡の発生を防止することができる。また、本実施形態においても、図10(a)、(b)に示す不良を回避することができる。

【0057】以上説明した第2及び第3の実施形態に係るプロセスの製造歩留まりを向上させる効果について調べた。図12にその結果を示す。

【0058】図12(a)は多結晶シリコン膜16aのテーパー角と図10(a)、(b)に示す不良の発生率との関係を示すグラフであり、図12(b)は図10(a)、(b)に示す不良の発生率と製造歩留まりとの関係を示すグラフである。図12(a)において、横軸は多結晶シリコン膜16aのテーパー角を示し、縦軸は図10(a)、(b)に示す不良(STIやられ)に関して調べた良品率を示している。また、図12(a)に

において、参照番号51はシリコン酸化膜44aの断面形状を図9(g)等に示す形状とした場合に得られたデータを示し、参照番号52はシリコン酸化膜44aの断面形状を図10(b)に示す形状とした場合に得られたデータを示している。一方、図12(b)において、横軸はSTIやられに関して調べた良品率を示し、縦軸は製造歩留まりを示している。なお、多結晶シリコン16aのテーパ角とは、多結晶シリコン膜16aとシリコン酸化膜44aとの界面が、シリコン酸化膜15と多結晶シリコン膜16aとの界面に対してなす角度である。

【0059】図12(a)に示すように、シリコン酸化膜44aの断面形状を図10(b)に示す形状とした場合、多結晶シリコン膜16aのテーパ角が広くなるのに応じて、STIやられに関して調べた良品率が低下する、換言すれば、STIやられの発生率が増加する傾向にある。それに対し、シリコン酸化膜44aの断面形状を図9(g)等に示す形状とした場合、多結晶シリコン膜16aのテーパ角に依存することなく、STIやられに関しては100%の良品率を実現することができる。このように、STIやられに関して高い良品率を実現可能となると、図12(b)に示すように製造歩留まりも大幅に向上させることができる。

【0060】

【発明の効果】以上説明したように、本発明では、ゲート電極材料膜は逆テーパ状の断面形状を有するように形成される。ゲート電極材料膜がこのような断面形状を有する場合、ゲート電極材料膜のパターニングが素子分離絶縁膜により妨げられることがない。したがって、本発明によると、エッチング残りによるゲート短絡の発生を防止することができる。

【0061】また、本発明において、溝部を埋め込む素子分離絶縁膜は、溝部の断面形状が順テーパ状となるように溝部に第1の素子分離絶縁膜を形成した後、その溝部を第2の素子分離絶縁膜で埋め込むことにより形成される。このような方法によると、埋め込み不良に基づくゲート短絡の発生を防止することができる。

【0062】すなわち、本発明によると、ゲート絶縁膜及びゲート電極材料膜を順次形成した後素子分離絶縁膜を埋め込み形成するSTI技術において、ゲート電極同士の短絡を防止することが可能となる。したがって、本発明によると、製造過程でゲート電極同士の短絡を生じにくい半導体装置及びその製造方法が提供される。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るNAND型EEPROMのメモリセルアレイ部の構造を概略的に示す平面図。

【図2】(a)は図1に示す構造のD-D線に沿った断面図、(b)は図1に示す構造のE-E線に沿った断面図。

【図3】(a)～(c)は、それぞれ、本発明の第1の

実施形態に係るNAND型メモリセルアレイの製造プロセスを概略的に示す断面図。

【図4】(d)～(f)は、それぞれ、本発明の第1の実施形態に係るNAND型メモリセルアレイの製造プロセスを概略的に示す断面図。

【図5】(g)及び(h)は、それぞれ、本発明の第1の実施形態に係るNAND型メモリセルアレイの製造プロセスを概略的に示す断面図。

【図6】(a)及び(b)は、それぞれ、本発明の第1の実施形態に係るNAND型メモリセルアレイの製造プロセスの一部を省略したプロセスを概略的に示す断面図。

【図7】(a)及び(b)は、それぞれ、本発明の第2の実施形態に係るフラッシュメモリの製造プロセスを概略的に示す断面図、(c)は(b)の一部を拡大して示す部分断面図。

【図8】(d)及び(e)は、それぞれ、本発明の第2の実施形態に係るフラッシュメモリの製造プロセスを概略的に示す断面図。

【図9】(f)は本発明の第2の実施形態に係るフラッシュメモリの製造プロセスを概略的に示す平面図、

(g)は(f)に示す構造のF-F線に沿った断面図、

(h)は(f)に示す構造のG-G線に沿った断面図。

【図10】(a)及び(b)は、それぞれ、本発明の第2の実施形態に係るフラッシュメモリの製造プロセスの一部を変更することにより生じ得る欠陥を概略的に示す断面図。

【図11】(a)～(c)は、それぞれ、本発明の第3の実施形態に係るフラッシュメモリの製造プロセスを概略的に示す断面図。

【図12】(a)は多結晶シリコン膜のテーパ角と図10(a)、(b)に示す不良の発生率との関係を示すグラフ、(b)は図10(a)、(b)に示す不良の発生率と製造歩留まりとの関係を示すグラフ。

【図13】(a)は従来のNAND型EEPROMの製造プロセスの一例を概略的に示す平面図、(b)は(a)に示す構造のA-A線に沿った断面図。

【図14】(a)は従来のNAND型EEPROMの製造プロセスの一例を概略的に示す平面図、(b)は(a)に示す構造のB-B線に沿った断面図、(c)は(a)に示す構造のC-C線に沿った断面図。

【符号の説明】

1…基板； 3…溝； 4…素子分離絶縁膜；

5…ゲート絶縁膜

6a, 6b…ゲート電極材料膜； 6…浮遊ゲート電極

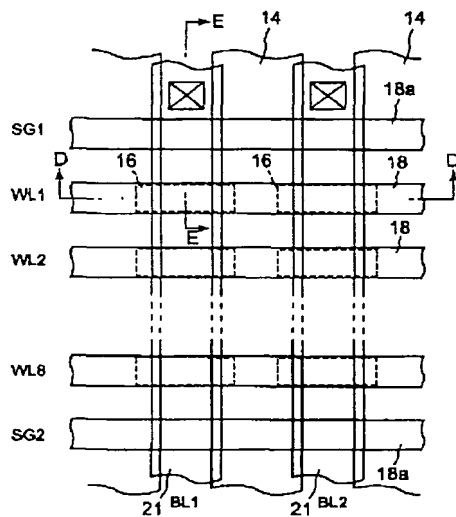
7…シリコン窒化膜； 8…層間ゲート絶縁膜；

9…制御ゲート電極膜

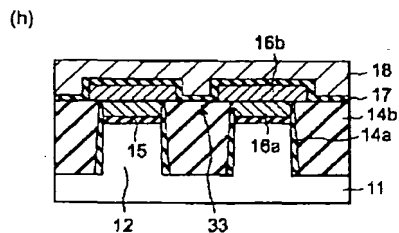
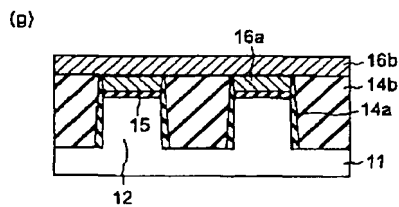
10…エッチング残り； 11…基板； 12…素子領域

13a~13c…溝 ; 14a, 14b…素子分離絶縁膜  
 15…ゲート絶縁膜 ; 16…浮遊ゲート電極  
 17…層間ゲート絶縁膜 ; 18…制御ゲート電極  
 18a…選択ゲート電極 ; 18b…多結晶シリコン膜  
 18c…WSi膜 ; 19…ソース・ドレイン拡散層\*

【図1】

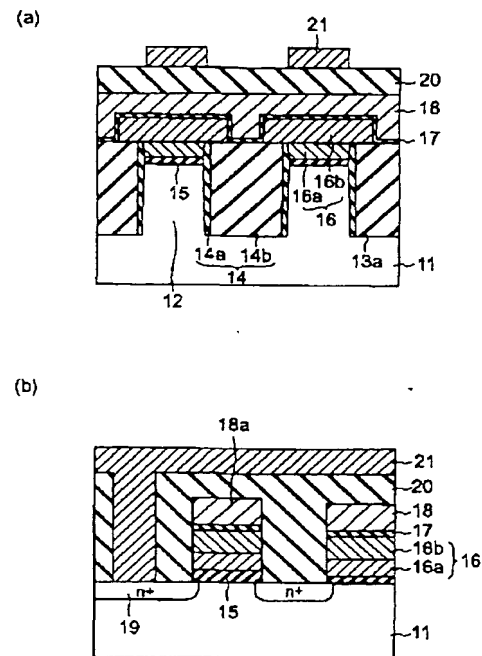


【図5】

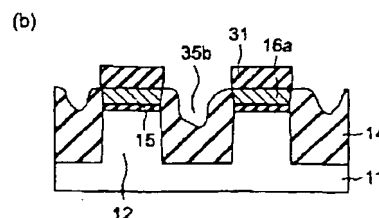
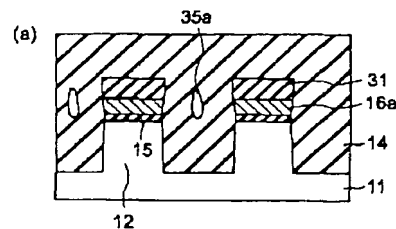


\* 20…層間絶縁膜 ; 21…ビット線 ; 31…シリコン窒化膜  
 32…レジストパターン ; 33…スリット  
 35a, 35b…不良部 ; 36…シリコン酸化膜  
 43a~43c…溝 ; 44a~44c…素子分離絶縁膜  
 46…シリコン酸化膜 ; 51, 52…データ

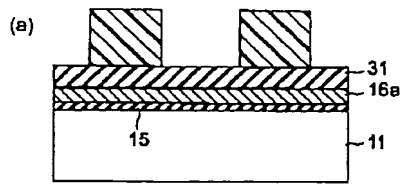
【図2】



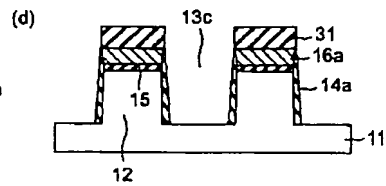
【図6】



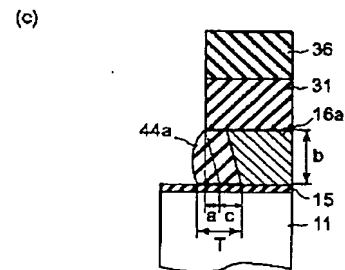
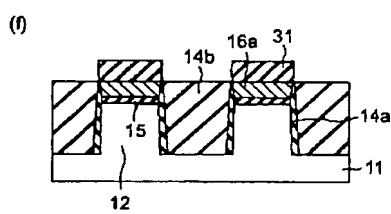
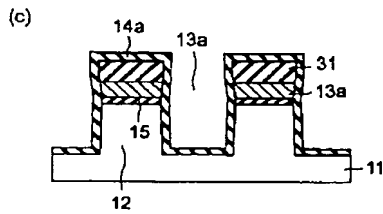
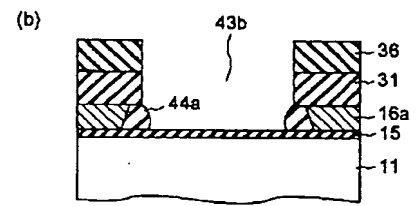
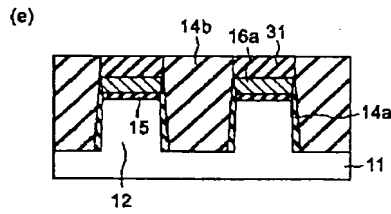
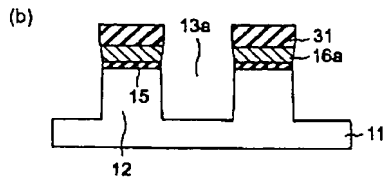
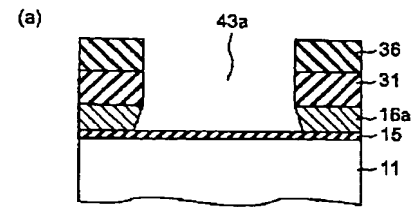
【図3】



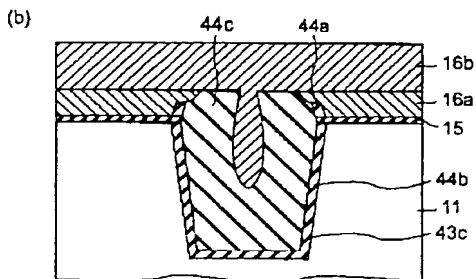
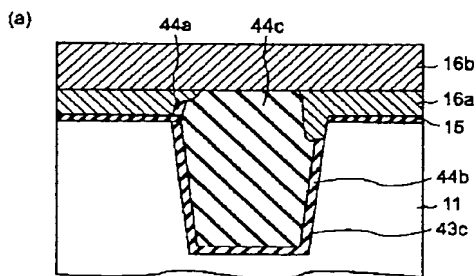
【図4】



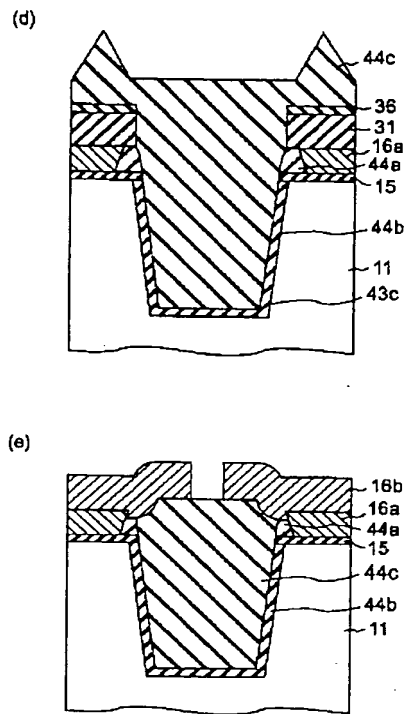
【図7】



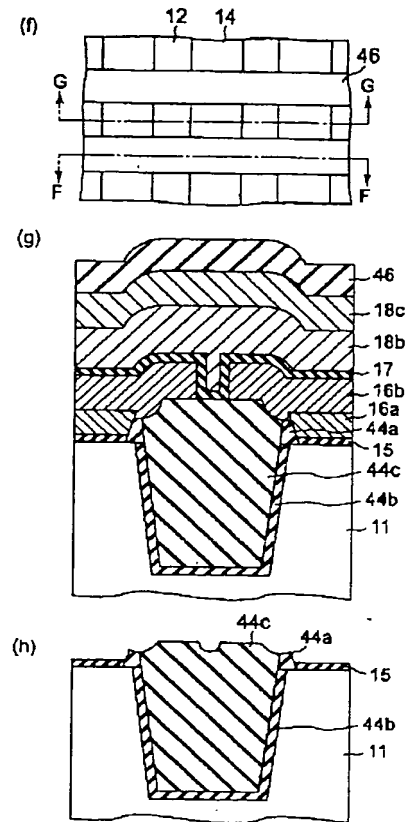
【図10】



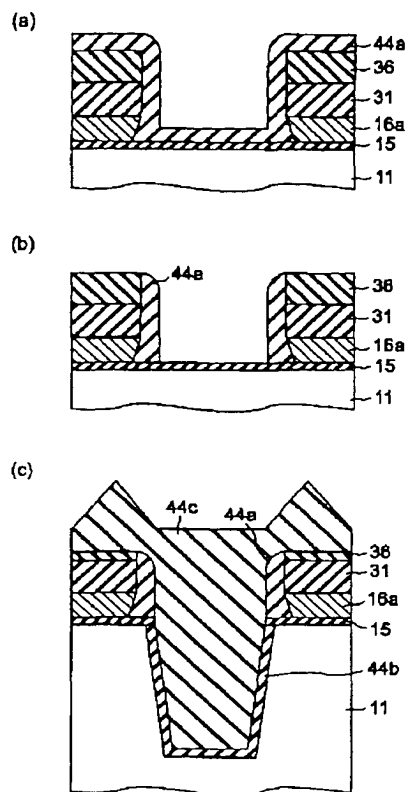
【図8】



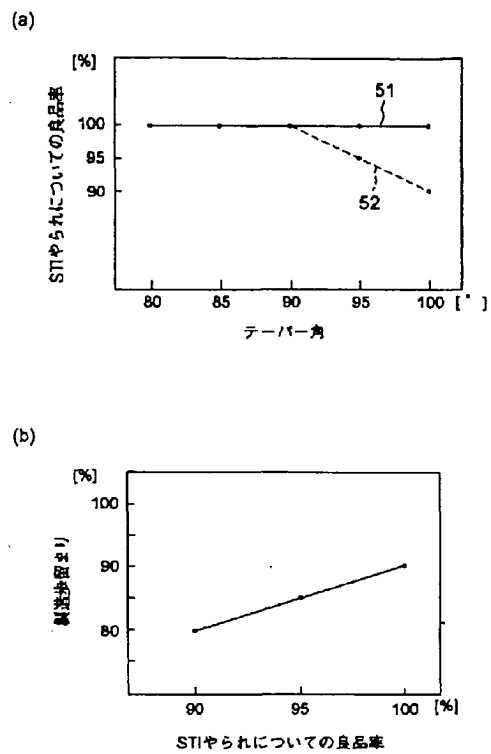
【図9】



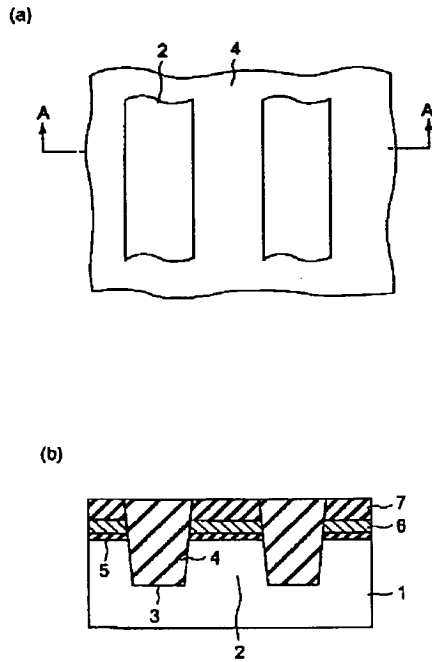
【図11】



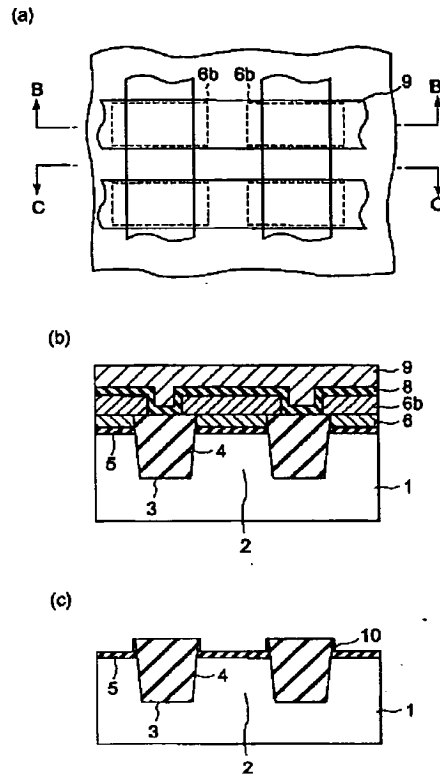
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 27/115  
29/43

識別記号

F I

テーマコード (参考)

(72)発明者 園田 真久  
三重県四日市市山之一色町800番地 株式  
会社東芝四日市工場内  
(72)発明者 小林 英行  
三重県四日市市山之一色町800番地 株式  
会社東芝四日市工場内  
(72)発明者 角田 弘昭  
三重県四日市市山之一色町800番地 株式  
会社東芝四日市工場内

Fターム(参考) 4M104 AA01 BB01 CC05 DD02 DD04  
DD29 DD66 EE08 EE14 FF08  
GG09 GG16 HH20  
5F001 AA23 AA25 AA30 AA43 AA63  
AB02 AC01 AD12 AD53 AE08  
AG02 AG17  
5F032 AA34 AA44 AA45 CA21 DA02  
DA24 DA25 DA26 DA33 DA43  
DA53 DA78  
5F083 EP05 EP23 EP27 EP55 EP56  
EP76 ER03 ER14 ER22 GA27  
GA30 JA04 JA32 JA33 NA01  
NA06 PR03 PR05 PR10 PR21  
PR29 PR40